

Korea patent office (KR) Unexamined Patent Publication(A)

KOREAN

(51) Int.Cl. H01L 27/12

Publication No	10-1998-069868		
Publication Date	1998-10-26		
Application No	10-1997-036206		
Application Date	1997-07-30		
Priority Claims	8/782,192	1997-01-10	U.S (US)
Agent	Hae-Seon Park	Inventor	MeRilRiChaDeuBil
	Yeong-Won Cho		
Applicant	NaeSyeoNeolSeMiKeonDeokTeoKoOPoRelSyeon		
Examination	Requested		
Title of Invention	THE MULTIPLE THICKNESS SILICON WAFER ON THE INSULATOR WHICH HIGHLY ACCUMULATES THE FOLDED OVER SIGNAL INTEGRATED CIRCUIT DEVICE.		

* Legal Status

Date of request for an examination	19971030
Notification date of refusal decision	00000000
Final disposal of an application	rejection
Date of final disposal of an application	20000830
Patent registration number	
Date of registration	00000000
Number of opposition against the grant of a patent	
Date of opposition against the grant of a patent	00000000
Number of trial against decision to refuse	
Date of requesting trial against decision to refuse	
Date of extinction of right	



Abstract

The multiple thickness silicon (SOI) wafer on the insulating substrate provides the silicon wafer having the respective distinct domain had the other distinct thickness. The various domains of thicknesses is suitable to support the formation of the useful the other semiconductor device for the folded over signal motion equipment. For example, the single wafer can be used for the formation of the digital semiconductor device and analog. The process of manufacturing the multiple thickness SOI provides the step forming the recessed layer of the on-premises oxide of the silicon wafer using the oxide process of being completely recessed of including the initial nitride mask, the silicon etch, and the final oxidation step. The final oxidation step nearly leaves the surface of the thickness field oxide through the identical level with the adjacent surface of silicon. The silicon layer is ground to the suitable thickness from the other surface or plane of the activity wafer for the formation in which the condition of a best is satisfied as the formation of the on-premises thin film element accommodating the recessed oxide and the more thick silicon layer of the domain exterior of a device with white. The resultant wafer has the cranium silicon layer of the other thickness. In order to form the wafer having the predetermined many thickness this process can be repeated.

절연 기판상의 다중 두께 실리콘 (SOI) 웨이퍼는 다른 별개의 두께를 각각 갖는 별개의 영역을 가지는 실리콘 웨이퍼를 포함한다. 다양한 영역의 두께는 혼합된 신호 진행 장치에 유용한 다른 반도체 소자

의 형성을 지지하는데 적합하다. 예를 들면, 단일 웨이퍼는 아날로그 및 디지털 반도체 소자의 형성을 위해 사용될 수 있다. 다중 두께 SOI 를 제조하는 공정은, 초기 질화물 마스크, 실리콘 에치, 또한 인접한 실리콘 표면과 거의 동일 수준으로 두께 필드 산화물의 표면을 남겨두는 마지막 산화 단계를 포함하는, 종래의 완전히 리세스된 산화물 공정을 이용하는 실리콘 웨이퍼의 영역내 산화물의 리세스된 층을 형성하는 단계를 포함한다. 활성 웨이퍼의 다른 면으로부터, 실리콘층은 리세스된 산화물을 수용하는 영역내 박막 소자의 형성과 영역 외면의 더 두꺼운 실리콘층으로써 최선의 조건이 충족되는 소자의 형성용으로 적합한 두께로 백 연마된다. 결과적인 웨이퍼는 다른 두께의 두 개 실리콘층을 가진다. 이러한 공정은 소정의 많은 두께를 가지는 웨이퍼를 형성하도록 반복될 수 있다.

Description

■ Brief Explanation of the Drawing(s)

Fig. 1 is a process flow chart describing the step manufacturing the multiple thickness SOI wafer but is required according to the present invention.

도 1 은 본 발명에 따른 다중 두께 SOI 웨이퍼를 제조하는데 요구되는 단계를 묘사한 공정 흐름 차트.

Fig. 2 is a drawing describing the resultant SOI wafer after the S1 step of Fig. 1 which according to the present invention, is performed.

도 2 는 본 발명에 따라 행해진 도 1 의 S1 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.

Fig. 3 is a drawing describing the resultant SOI wafer after the S2 step of Fig. 1 which according to the present invention, is performed.

도 3 은 본 발명에 따라 행해진 도 1 의 S2 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.

Fig. 4 is a drawing describing the resultant SOI wafer after the S3 step of Fig. 1 which according to the present invention, is performed.

도 4 는 본 발명에 따라 행해진 도 1 의 S3 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.

Fig. 5 is a drawing describing the resultant SOI wafer after S4 and S5 step of Fig. 1 which according to the present invention, is performed.

도 5 는 본 발명에 따라 행해진 도 1 의 S4 및 S5 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.

Fig. 6 is a drawing describing the resultant SOI wafer after S6 and S7 step of Fig. 1 which according to the present invention, is performed.

도 6 은 본 발명에 따라 행해진 도 1 의 S6 및 S7 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.

Fig. 7 is a drawing describing the resultant SOI wafer after S7 and S8 step of Fig. 1 which according to the present invention, is performed.

도 7 은 본 발명에 따라 행해진 도 1 의 S7 및 S8 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.

Fig. 8 is a drawing describing the folded over signal apparatus of the SOI wafer of the present invention in which the thin film transistor and conventional CMOS are formed on the same wafer.

도 8 은 박막 트랜지스터와 종래 CMOS 가 동일 웨이퍼상에 형성되는 본 발명의 SOI 웨이퍼의 혼합된 신호 장치를 묘사한 도면.

Fig. 9 is a drawing describing the folded over signal apparatus of the SOI wafer of the present invention in which the thin film transistor and image sensor are formed on the same wafer.

도 9 는 박막 트랜지스터와 이미지 센서가 동일 웨이퍼상에 형성되는 본 발명의 SOI 웨이퍼의 혼합된 신호 장치를 묘사한 도면.

Fig. 10 is a drawing describing the folded over signal apparatus of the SOI wafer of the present invention in which CMOS and bipolar transistor are formed on the same wafer.

도 10 은 CMOS 와 쌍극 트랜지스터가 동일 웨이퍼상에 형성되는 본 발명의 SOI 웨이퍼의 혼합된 신호 장치를 묘사한 도면.

■ Details of the Invention

■ Purpose of the Invention

- The Technical Field to which the Invention belongs and the Prior Art in that Field

The present invention relates to the wafer which is the thing about the integrated circuit wafer fabrication, and includes moreover, especially, the silicon technology on the insulating substrate. Moreover, particularly, the present invention relates to the Holotrichia of the wafer including the domain of the other thickness.

본 발명은 집적회로 웨이퍼 제조에 관한 것이며, 또한 특히, 절연 기판상의 실리콘 기술을 포함하는 웨이퍼에 관한 것이다. 게다가 특히, 본 발명은 다른 두께의 영역을 포함하는 웨이퍼의 제조에 관한 것이다.

Recently, the combined silicon (SOI) on the wafer insulating substrate is the practical selection for using in the semiconductor product due to the progress of the technology. Moreover, in the process, many manufacturers which are absorbed in the folded over signal technology which is the integrated circuit processing a digital and analog signal on the same chip use SOI. Generally the circuit processing the analog signal requires the thick silicon layer for the formation of the analog device. Antithetically, as to the digital circuit, in order to assemble the VLSI circuit constitutional part, it only requires the relatively thin silicon layer. Recently, the folded over signal circuit was manufactured by using the single thickness wafer. As to a result, by using the thin silicon layer, of the selectively formed device is formed with the other device at the necessary and more thick layer. The final circuit therefore performs with cross talk effect.

최근 기술의 진보에 기인하여, 결합된 웨이퍼 절연 기판상의 실리콘 (SOI) 은 반도체 제품에 사용하기 위한 실제적인 선택이다. 게다가, 동일 칩상에 디지털 및 아날로그 신호를 처리하는 집적회로인 혼합된 신호 기술에 몰두한 많은 제조자들은 공정에서 SOI 를 이용한다. 아날로그 신호를 처리하는 회로는 일반적으로 아날로그 소자의 형성을 위해 두꺼운 실리콘층을 필요로한다. 대조적으로, 디지털 회로는 VLSI 회로 구성 부분을 조립하기 위해 상대적으로 얇은 실리콘층을 단지 필요로한다. 최근에, 혼합된 신호 회로는 단일 두께 웨이퍼를 사용하여 제작되었다. 결과는 얇은 실리콘층을 사용하여 선택적으로 형성된 소자는 다른 소자에 의해 필요하게 되는 더욱 두꺼운 층에서 형성되어야 한다는 것이다. 최종 회로는 누화효과 때문에 제한적으로 수행한다.

Moreover, SOI was proposed as one of the means improving the performance of the silicon like the shift of the scaling pass ***ing. Firstly, the gate oxide thickness is the restrictive element to

improve a performance. The cross talk effect is very reduced with an insulator. Therefore SOI allows the improved performance. SOI that SOI only increases a performance can be made the processing technology of the main current. But there can be the circuit which has difficult any kind of circuit to do, and additionally completely cannot use the characteristic of SOI as the means SOI. One of most clear limits is the thing recently that all the publicly known SOI techniques only can form the single thickness of the surface of silicon for the formation of the circuit device.

게다가, SOI 는 보이게 되는 스케일링 패스의 단과 같은 실리콘의 성능을 향상시키는 수단의 하나로서 제안되어져 왔다. 우선, 게이트 산화물 두께는 성능을 향상시키는데 제한적인 요소이다. 누화 효과가 절연체에 의해 매우 감소되기 때문에, SOI 는 향상된 성능을 허용한다. SOI 가 단지 성능을 증가시킨다는 사실은 SOI 를 주류의 공정 기술로 만들 수 있다는 것이다. 그러나, SOI 를 수단으로 하기에는 곤란한 어떤 회로가 있고, 부가적으로 SOI 의 특성을 완전히 이용할 수 없는 회로가 있다. 가장 분명한 한계중의 하나는, 최근에 공지된 모든 SOI 기술이 회로 소자의 형성을 위해 실리콘 표면의 단일 두께를 단지 형성할 수 있다는, 것이다.

Therefore, that is desirable because of manufacturing the clear surface region having the other distinct thickness the SOI wafer. What is necessary is the process for producing that wafer. The object of the present invention relates to the multiple thickness SOI wafer supporting the formation of the digital elements and analog. Another object of the present invention is that it is the thing about the process of being successive for producing the multiple thickness SOI wafer. It is still another object of the present invention to provide the single wafer which can be used to form (1) thin film transistor and conventional CMOS, and (2) thin film transistor and image sensor, moreover, (3) CMOS and bipolar transistor.

따라서, 그것은 다른 별개의 두께를 갖는 분명한 표면 영역으로써의 SOI 웨이퍼를 제조할 수 있기에 바람직하다. 필요한 것은 그러한 웨이퍼를 생산하기 위한 공정이다. 본 발명의 목적은 아날로그 및 디지털 소자의 형성을 지지하는 다중 두께 SOI 웨이퍼에 관한 것이다. 본 발명의 다른 목적은 다중 두께 SOI 웨이퍼를 생산하기 위한 연속적인 공정에 관한 것이다. 본 발명의 또 다른 목적은 (1) 박막 트랜지스터 및 종래의 CMOS 와, (2) 박막 트랜지스터 및 이미지 센서와, 또한 (3) CMOS 및 쌍극 트랜지스터를 형성하는데 사용될 수 있는 단일 웨이퍼를 제공하는 것이다.

• The Technical Challenges of the Invention

The purpose of the other invention and the above-described thing can be attained by the present invention manufacturing the multiple thickness SOI wafer and such wafer. According to the present invention, the recessed oxide layer is formed in the silicon wafer on-premises using the oxide process of being completely recessed of including the initial nitride mask, and the complete oxidation. The complete oxidation nearly leaves the surface of the thick field oxide with the silicon etch, and the adjacent surface of silicon in the identical level. After the nitride mask is removed, a wafer is blandly ground and a wafer is combined in the handle wafer. In the silicon layer from the other surface or plane of a wafer is the thin film element of the on-premises and domain exterior, it consists of the suitable thickness for the device requiring the more thick silicon layer with the white grinding. Consequently, as to a wafer, the thickness has the surface of silicon of the other cranium. By repeating the process any predetermined thickness can be formed.

상술한 것과 다른 발명의 목적이 다중 두께 SOI 웨이퍼와 그러한 웨이퍼를 제조하는 본 발명에 의해 성취될 수 있다. 본 발명에 따르면, 리세스된 산화물층은 초기 질화물 마스크와, 실리콘 에치, 또한 인접한 실리콘 표면과 거의 동일 수준에서 두꺼운 필드 산화물의 표면을 남겨두는 완전한 산화를 포함하는 종래의 완전히 리세스된 산화물 공정을 사용하는 실리콘 웨이퍼 영역내에 형성된다. 질화물 마스크

크가 제거된 후, 웨이퍼는 부드럽게 연마되고 핸들 웨이퍼에 결합된다. 웨이퍼의 다른 면으로부터, 실리콘 층은 영역내의 박막 소자와 영역 외면에서 더 두꺼운 실리콘층을 필요로 하는 소자용으로 적합한 두께로 백연마된다. 결과적으로 웨이퍼는 두께가 다른 두 개의 실리콘 표면을 가진다. 공정을 반복함으로써 어떠한 소정의 두께가 형성될 수 있다.

The multiple thickness SOI wafer by the embodiment of the present invention is equipped with the domain supporting the formation of the digital elements and analog. The multiple thickness SOI wafer according to another preferred embodiment of the present invention is equipped with the conventional CMOS device on the wafer like the thin film SOI device. The multiple thickness SOI device according to another preferred embodiment of the present invention is equipped with the image sensor element on the wafer like the VLSI CMOS device. Finally, the multiple thickness SOI device according to another preferred embodiment of the present invention is equipped with the bipolar device on the wafer like the CMOS device. such feature of the present invention and the other feature will be understood with the detailed description of an invention which will be described later in consideration of the drawing accompanied.

본 발명의 일 실시예에 의한 다중 두께 SOI 웨이퍼는 아날로그 및 디지털 소자의 형성을 지지할 수 있는 영역을 포함한다. 본 발명의 다른 실시예에 따른 다중 두께 SOI 웨이퍼는 박막 SOI 소자와 같은 웨이퍼상에 종래의 CMOS 소자를 포함한다. 본 발명의 또 다른 실시예에 따른 다중 두께 SOI 소자는 VLSI CMOS 소자와 같은 웨이퍼상에 이미지 센서 소자를 포함한다. 마지막으로, 본 발명의 또 다른 실시예에 따른 다중 두께 SOI 소자는 CMOS 소자와 같은 웨이퍼상에 쌍극 소자를 포함한다. 본 발명의 이러한 특징과 다른 특징이 후술하는 발명의 상세한 설명과 수반한 도면을 고려하여 이해될 것이다.

■ Structure & Operation of the Invention

As shown in the multiple thickness wafer of SOI is the series processing of Fig. 1, it can be easily made. The first sedan system corresponds to the oxide process of being completely recessed. In the S1 step, the nitride mask is coated onto a wafer. The resultant wafer was represented in Fig. 2. The S2 step included the silicon etch and the resultant wafer was illustrated in Fig. 3. In the S3 step, with leaving the surface of the thick field oxide as shown in Fig. 4, a wafer is oxidized in the same level as the adjacent surface of silicon.

SOI 의 다중 두께 웨이퍼는 도 1 의 연속 공정에 도시된 바와 같이 쉽게 이루어질 수 있다. 첫 번째 세 단계는 종래의 완전하게 리세스된 산화물 공정에 대응한다. S1 단계에서, 질화물 마스크는 웨이퍼에 도포된다. 도 2 에 결과적인 웨이퍼가 묘사되었다. S2 단계는 실리콘 에치를 포함하고 결과적인 웨이퍼가 도 3 에 도시되었다. S3 단계에서 웨이퍼는 도 4 에 도시된 바와 같이 인접한 실리콘 표면과 동일 수준에서 두꺼운 필드 산화물의 표면을 남겨둔채 산화된다.

After the nitride mask comes off in the S4 step, the S5 step polishing the surface makes the chemical mechanical planarization (CMP) and as shown in Fig. 5, a wafer is left. Thereafter, in the S6 step, a wafer is inserted. A wafer is combined in the S7 step in the handle wafer. The resultant wafer was represented in Fig. 6. The bind of the oxide / silicon large oxide was illustrated. However, the oxidation bamboo-reed oxide or the oxidation bamboo-reed silicon bonding can be moreover arranged. Finally, in the S8 step, the active silicon layer uses the technology like the chemical etch (PACE) in which the plasma is supported and it becomes with the white grinding. PACE is used. The thickness of silicon layer control which is suitable for the thin film element dragon can be made.

질화물 마스크가 S4 단계에서 벗겨진 후, 표면을 연마하는 S5 단계에서 화학적 기계적 평탄화 (CMP) 를 시키고 도 5 에 도시된 바와 같이 웨이퍼를 남긴다. 그 후 S6 단계에서 웨이퍼가 삽입되고, S7 단

계에서 핸들 웨이퍼에 결합된다. 결과적인 웨이퍼가 도 6 에 묘사되었다. 산화물/실리콘 대 산화물의 결합이 도시되었지만, 산화물 대 산화물, 또는 산화물 대 실리콘 결합이 또한 배열될 수 있다. 마지막으로, S8 단계에서, 활성 실리콘층이 플라즈마가 지원된 화학적 에치 (PACE) 와 같은 기술을 사용하여 백연마된다. PACE 를 사용하여, 박막 소자용에 적합한 실리콘층의 두께 제어가 이루어질 수 있다.

As a result of being the final prepared for various devices of formations, a wafer was represented in Fig. 7. One wafer having two other silicon surface layer thickness domains supporting the formation of the digital elements and analog was illustrated. Particularly, relatively, by using the silicon layer of the big volume, it can be formed at the thick domain and the analog device in which the condition of a best is satisfied uses the silicon of the relatively small volume and the digital elements in which the condition of a best is satisfied can be formed at the bare area.

다양한 소자의 형성용으로 준비되는, 최종적인 결과 웨이퍼는 도 7 에 묘사되었다. 아날로그 및 디지털 소자의 형성을 지지할 수 있는, 두 개의 다른 실리콘 표면층 두께 영역을 갖는, 하나의 웨이퍼가 도시되었다. 특히, 상대적으로 큰 부피의 실리콘층을 사용하여 최선의 조건이 충족되는 아날로그 소자는 두꺼운 영역에서 형성될 수 있고 상대적으로 작은 부피의 실리콘을 사용하여 최선의 조건이 충족되는 디지털 소자는 얇은 영역에서 형성될 수 있다.

Fig. 8. And figs. 9 and 10 shows the separated apparatus of the mixed T'ien-Ch'ih for the thickness SOI. The first device illustrated in Fig. 8 provides the use of the double thickness SOI the conventional CMOS is produced on the thin film transistor and same wafer. This allows high FT which can allow the transistor having the very low junction capacitance and which be processed with the CMOS cell which is not changed. The apparatus of an example provides the integration of the shear radio frequency (RF) CMOS circuit having the backend base band microcontroller function.

도 8, 도 9 및 도 10 은 혼합된 두께 SOI 용 세 개의 분리된 장치를 도시한 것이다. 도 8 에 도시된 제 1 장치는 박막 트랜지스터 및 동일 웨이퍼상에 종래의 CMOS 를 생산하도록 이중 두께 SOI 의 사용을 포함한다. 이것은 매우 낮은 접합 커패시턴스를 갖는 트랜지스터를 허용하고 종래의 변경되지 않은 CMOS 셀과 함께 공정될 수 있는 높은 FT 를 허용한다. 보기의 장치는 후단 기저대 마이크로제어기 기능을 갖는 전단 라디오 주파수 (RF) CMOS 회로의 집적화를 포함한다.

Fig. 9 shows the thin film SOI transistor integrated to the thick film silicon which it is necessary to have to the image sensor dragon. Very thin SOI film has the therefore low with the shortage of the silicon volume necessary quantum efficiency to be generated election-hole pair. It has the practical apparatus with the example furnace number. A battery operates the image observation sensor using the electricity of being low of SOI in place of the image support circuitry.

도 9 는 이미지 센서용으로 필요한 후막 실리콘으로 집적된 박막 SOI 트랜지스터를 도시한 것이다. 매우 얇은 SOI 막은 정공쌍을 발생하는데 필요한 실리콘 부피의 부족 때문에 낮은 양자 효율을 가진다. 실제적 장치가 예로될 수 있고, 배터리는 이미지 지지 회로에서 SOI 의 낮은 전력을 이용할 수 있는 이미지 감시 센서를 가동시킨다.

Fig. 10 shows whether it provides the polished method in which SOI which is the double thickness film how accumulates CMOS and bipolar device so that the transistor of both form *** use the SOI access or not. As shown in Fig. 10, NPN and PNP collector were isolated as the oxide layer in order to reduce the Kerr tag force turns in the substrate for the performance of an optimum. At the same time, the CMOS transistor is formed as the possible and most low source / drain junction capacitance.

도 10 은 양 형태의 트랜지스터가 SOI 접근을 최대한도로 이용하도록 이중 두께 막인 SOI 가 어떻게 CMOS 및 쌍극 소자를 집적하는 세련된 방법을 제공하는 것인지를 도시한 것이다. 도 10 에 도시된 바와 같이, NPN 및 PNP 컬렉터는 최적의 성능용 기판에 커패시턴스를 감소하기 위해 산화물 층으로써 고립되었다. 동시에, CMOS 트랜지스터는 가능한 가장 낮은 소오스/드레인 접합 커패시턴스으로써 형성된다.

Spirit is evident to a person skilled in the arts at the technical field without deviating from the range of the various other deformation and change ebene invention and spirit from the structure of the present invention and method of operating. Particularly, an invention can be used on the single wafer in order to produce the silicon region of the other thickness. Therefore, the other similar material replaces the above-described material and the above-described material can be used.

본 발명의 구조 및 작동 방법에서 다양한 다른 변형과 변경이 본 발명의 범위와 정신을 벗어남이 없이 기술 분야에서의 숙련자들에게 분명하게 될 것이다. 특히, 발명은 단일 웨이퍼상에 어떤 다른 두께의 실리콘 영역을 생산하기 위해 사용될 수 있다. 따라서, 다른 유사한 재료가 상술한 재료를 교체하여 사용될 수 있다.

It united with the predetermined embodiment in which an invention even if specified and it was describe according. However, *** invention has to understand nots being unreasonably limited in the special practical example. As to claim which will be described later, while limiting the present invention, the structure of in range of such claim and method and they and the what equal thing are included as claim.

비록 발명이 특정한 소정의 실시예와 결합하여 서술되었지만, 청구항으로된 발명은 특정 실시예에 부당하게 제한되지 않는다는 것을 이해하여야 한다. 후술하는 청구항은 본 발명을 한정하며 이러한 청구항의 범위내의 구조 및 방법과 그들과 대등한 것이 청구항에 의해 포함된다.

■ Effects of the Invention

The present invention relates to the wafer which is the thing about the integrated circuit wafer fabrication, and includes especially, the silicon technology on the insulating substrate. Moreover, the present invention relates to the Holotrichia of the wafer including the domain of the other thickness.

본 발명은 집적회로 웨이퍼 제조에 관한 것이며, 특히 절연 기판상의 실리콘 기술을 포함하는 웨이퍼에 관한 것이다. 게다가, 본 발명은 다른 두께의 영역을 포함하는 웨이퍼의 제조에 관한 것이다.

Generally the circuit processing the analog signal need the thick silicon layer. In order to make the VLSI circuit constitutional part, the digital circuit need the relatively thin silicon layer on the other hand. The folded over signal circuit is manufactured by using the single thickness wafer. Moreover, the present invention obtains the performance which is improved because the cross talk effect very reduces with an insulator.

아날로그 신호를 처리하는 회로는 일반적으로 두꺼운 실리콘층을 필요로 하고, 반면에 디지털 회로는 VLSI 회로 구성 부분을 제작하기 위해 상대적으로 얇은 실리콘층을 필요로 하는데, 혼합된 신호 회로는 단일 두께 웨이퍼를 사용하여 제작되어진다. 또한 본 발명은 누화효과가 절연체에 의해 매우 감소하기 때문에 향상된 성능을 얻는다.



Scope of Claims

Claim[1] :

The multiple thickness silicon semiconductor die on the insulating substrate including the first area of the silicon, and the second part of the silicon having an insulator and the second thickness that has the first thickness, wherein the first and the second thickness are different and the first and the second part are the coplanar.

제 1 두께를 갖는 실리콘의 제 1 영역과,

절연체 및 제 2 두께를 갖는 실리콘의 제 2 영역을 포함하는 절연 기판상의 다중 두께 실리콘 반도체 다이에 있어서,

상기 제 1 및 제 2 두께는 상이하고 상기 제 1 및 제 2 영역이 동일 평면상인 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[2] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 1, wherein the first thickness is suitable for the formation of the analog device.

제 1 항에 있어서, 상기 제 1 두께는 아날로그 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[3] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 2, wherein the second thickness is suitable for the formation of the digital elements.

제 2 항에 있어서, 상기 제 2 두께는 디지털 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[4] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 1, wherein the first thickness is suitable for the formation of a device which need the deep silicon layer.

제 1 항에 있어서, 상기 제 1 두께는 깊은 실리콘층을 필요로 하는 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[5] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 1, wherein the first area includes the CMOS device and the second part includes the silicon device on the thin film insulating substrate.

제 1 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 박막 절연 기판상의 실리콘 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[6] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 5, wherein the CMOS device is effectually, effectively combined with a semiconductor on the thin film insulating substrate.

제 5 항에 있어서, 상기 CMOS 소자는 박막 절연 기판상의 반도체와 효과적으로 결합되는 것을 특징

으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[7] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 1, wherein the first area includes the image sensor and the second part includes the VLSI CMOS device.

제 1 항에 있어서, 상기 제 1 영역은 이미지 센서를 포함하고 상기 제 2 영역은 VLSI CMOS 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[8] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 7, wherein the image sensor element is effectually, effectively combined in the VLSI CMOS device.

제 7 항에 있어서, 상기 이미지 센서 소자는 VLSI CMOS 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[9] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 1, wherein the first area includes the CMOS device and the second part includes the bipolar device.

제 1 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 쌍극 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[10] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 9, wherein the CMOS device is effectually, effectively combined in the bipolar device.

제 9 항에 있어서, 상기 CMOS 소자는 상기 쌍극 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[11] :

The first area, including the silicon layer having the first thickness, and the insulator layer having the second thickness moreover.

제 1 두께를 갖는 실리콘층과,

제 2 두께를 갖는 절연체층을 포함하는 제 1 영역과, 또한

The multiple thickness silicon semiconductor die on the insulating substrate equipped with the second part including the silicon layer, and the insulator layer having the fourth thickness that has the third thickness, wherein the first and the second part are the coplanar; the first thickness is different with the third thickness; and moreover, the first and the second thickness everyone nearly coincide with the third and fourth thickness everyone.

제 3 두께를 갖는 실리콘층과,

제 4 두께를 갖는 절연체층을 포함하는 제 2 영역을 구비하는 절연 기판상의 다중 두께 실리콘 반도체 다이에 있어서,

상기 제 1 및 제 2 영역은 동일 평면상이고, 상기 제 1 두께는 제 3 두께와 상이하며, 또한 상기 제 1

및 제 2 두께 모두는 제 3 및 제 4 두께 모두와 거의 일치하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[12] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 11, wherein the first thickness is suitable for the formation of the analog device.

제 11 항에 있어서, 상기 제 1 두께는 아날로그 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[13] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 12, wherein the third thickness is suitable for the formation of the digital elements.

제 12 항에 있어서, 상기 제 3 두께는 디지털 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[14] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 11, wherein the first thickness is suitable for the formation of a device which need the deep silicon layer.

제 11 항에 있어서, 상기 제 1 두께는 깊은 실리콘층을 필요로 하는 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[15] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 11, wherein the first area includes the CMOS device and the second part includes the semiconductor device on the thin film insulating substrate.

제 11 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 박막 절연 기판상의 반도체 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[16] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 15, wherein the CMOS device is effectually, effectively combined in the semiconductor device on the thin film insulating substrate.

제 15 항에 있어서, 상기 CMOS 소자는 상기 박막 절연 기판상의 반도체 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[17] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 11, wherein the first area includes the image sensor element and the second part includes the VLSI CMOS device.

제 11 항에 있어서, 상기 제 1 영역은 이미지 센서 소자를 포함하고 상기 제 2 영역은 VLSI CMOS 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[18] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 17, wherein

the image sensor element is effectually,effectively combined in the VLSI CMOS device.

제 17 항에 있어서, 상기 이미지 센서 소자는 상기 VLSI CMOS 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[19] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 11, wherein the first area includes the CMOS device and the second part includes the bipolar device.

제 11 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 쌍극 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[20] :

The multiple thickness silicon semiconductor die on the insulating substrate of claim 19, wherein the CMOS device is effectually,effectively combined in the bipolar device.

제 19 항에 있어서, 상기 CMOS 소자는 상기 쌍극 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

Claim[21] :

(a) The step, replacing the surface part of the silicon substrate with an insulator and the step, making the surface and replace insulator of (b) silicon substrate even moreover.

(a) 실리콘 기판의 표면부를 절연체로 교체하는 단계와,

(b) 실리콘 기판의 표면과 교체 절연체를 평탄하게 하는 단계와, 또한

(c) The method for producing the multiple thickness silicon semiconductor die on the insulating substrate having the silicon substrate as the surface including the step adhering to the surface and replace insulator of the silicon substrate to the handle substrate.

(c) 실리콘 기판의 표면과 교체 절연체를 핸들 기판에 부착하는 단계를 포함하는 표면으로써 실리콘 기판을 갖는 절연 기판상의 다중 두께 실리콘 반도체 다이를 생산하기 위한 방법.

Claim[22] :

(a) The step, removing the silicon from the first area of the first face of the silicon substrate and the step, that insulates the first area so that the thickness of (b) insulator be developed in the first on-premises and the step, that makes the first face of the silicon substrate even so that it become the same coplanar as the first area in which the first face of the exterior silicon substrate of (c) first area is insulated and the step, adhering the first face to (d) handle substrate moreover.

(a) 실리콘 기판의 제 1 표면의 제 1 영역으로부터 실리콘을 제거하는 단계와,

(b) 절연체의 두께가 상기 제 1 영역내에서 발전되도록 상기 제 1 영역을 절연하는 단계와,

(c) 상기 제 1 영역의 외면 상기 실리콘 기판의 제 1 표면이 절연된 제 1 영역과 동일평면상이 되도록 실리콘 기판의 상기 제 1 표면을 평탄하게 하는 단계와,

(d) 핸들 기판에 상기 제 1 표면을 부착하는 단계와, 또한

(e) The method for producing the multiple thickness silicon semiconductor die on the insulating substrate having the silicon substrate as the first and the second back side of the step making the second back side of the silicon substrate even, wherein it is arranged so that the first and the second back side be mutually parallel.

(e) 실리콘 기판의 제 2 표면을 평탄하게하는 단계에 있어서, 상기 제 1 및 제 2 표면이 상호 평행하게 배치되는 것을 특징으로 하는 제 1 및 제 2 표면으로써 실리콘 기판을 갖는 절연 기판상의 다중 두께 실리콘 반도체 다이를 생산하기 위한 방법.

Claim[23] :

The method for producing the multiple thickness silicon semiconductor die on the insulating substrate of claim 22, wherein the step (a) includes the thing coating the first face of the exterior silicon substrate of the first area with the masking agent and the to etch the silicon from the first area; and thing the step (c) includes the step removing the masking agent from the first face of the exterior silicon substrate of the first area.

제 22 항에 있어서, 단계 (a) 는 상기 제 1 영역의 외면 실리콘 기판의 상기 제 1 표면에 마스크제를 도포하는 것과 상기 제 1 영역으로부터 실리콘을 에칭하는 것을 포함하며, 단계 (c) 는 상기 제 1 영역의 외면 실리콘 기판의 상기 제 1 표면으로부터 마스크제를 제거하는 단계를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이를 생산하기 위한 방법.



Representative Drawing(s)

Fig. 1

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/12(11) 공개번호 특 1998-069868
(43) 공개일자 1998년 10월 26일

(21) 출원번호 특 1997-036205
(22) 출원일자 1997년 07월 30일
(30) 우선권주장 877823192 1997년 01월 10일 미국(US)
(71) 출원인 내셔널세미컨덕터코오포레이션, 클라크 3세 존 엠,
미국 캘리포니아주 95051 산타 클라라 메일 스톱 디3-579 세미컨덕터 드라이브 2900
(72) 발명자 메릴리차드비이
미국 캘리포니아주 94062 우드사이드 패트럴 로드 890
(74) 대리인 박해선, 조영원

심사청구 있음

(54) 혼합된 신호 집적회로 장치를 고도로 집적하는 절연체 상의 다중 두께 실리콘 웨이퍼

요약

절연 기판상의 다중 두께 실리콘(SOI) 웨이퍼는 다른 별개의 두께를 각각 갖는 별개의 영역을 가지는 실리콘 웨이퍼를 포함한다. 다양한 영역의 두께는 혼합된 신호 진행 장치에 유용한 다른 반도체 소자의 형성을 지지하는데 적합하다. 예를 들면, 단일 웨이퍼는 아날로그 및 디지털 반도체 소자의 형성을 위해 사용될 수 있다. 다중 두께 SOI를 제조하는 공정은, 초기 절화를 마스크, 실리콘 에치, 또한 인접한 실리콘 표면과 거의 동일 수준으로 두께 필드 산화물의 표면을 남겨두는 마지막 산화 단계를 포함하는 종래의 완전히 리세스된 산화를 공정을 이용하는 실리콘 웨이퍼의 영역내 산화물의 리세스된 층을 형성하는 단계를 포함한다. 활성 웨이퍼의 다른 면으로부터, 실리콘층은 리세스된 산화물을 수용하는 영역내 박막 소자의 형성과 영역 외면의 더 두꺼운 실리콘층으로써, 최선의 조건이 충족되는 소자의 형성용으로 적합한 두께로 변연된다. 결과적인 웨이퍼는 다른 두께의 두 개 실리콘층을 가진다. 이러한 공정은 소정의 많은 두께를 가지는 웨이퍼를 형성하도록 반복될 수 있다.

도면

도 1

발명자

도면의 간단한 설명

- 도 1은 본 발명에 따라 다중 두께 SOI 웨이퍼를 제조하는데 요구되는 단계를 묘사한 공정 흐름 차트.
도 2는 본 발명에 따라 행해진 도 1의 S1 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.
도 3은 본 발명에 따라 행해진 도 1의 S2 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.
도 4는 본 발명에 따라 행해진 도 1의 S3 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.
도 5는 본 발명에 따라 행해진 도 1의 S4 및 S5 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.
도 6은 본 발명에 따라 행해진 도 1의 S6 및 S7 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.
도 7은 본 발명에 따라 행해진 도 1의 S7 및 S8 단계후 결과적인 SOI 웨이퍼를 묘사한 도면.
도 8은 박막 트랜지스터와 종래 CMOS가 동일 웨이퍼상에 형성되는 본 발명의 SOI 웨이퍼의 혼합된 신호 장치를 묘사한 도면.
도 9는 박막 트랜지스터와 이미지 센서가 동일 웨이퍼상에 형성되는 본 발명의 SOI 웨이퍼의 혼합된 신호 장치를 묘사한 도면.
도 10은 CMOS와 쌍극 트랜지스터가 동일 웨이퍼상에 형성되는 본 발명의 SOI 웨이퍼의 혼합된 신호 장치를 묘사한 도면.

발명의 상세한 설명

발명의 목적

본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 집적회로 웨이퍼 제조에 관한 것이며, 또한 특히, 절연 기판상의 실리콘 기술을 포함하는 웨이퍼에 관한 것이다. 게다가 특히, 본 발명은 다른 두께의 영역을 포함하는 웨이퍼의 제조에 관한 것이다.

최근 기술의 진보에 기인하여, 결합된 웨이퍼 절연 기판상의 실리콘 (SOI) 은 반도체 제품에 사용하기 위한 실제적인 선택이다. 게다가, 동일 칩상에 디지털 및 아날로그 신호를 처리하는 집적회로인 혼합된 신호 기술에 필요한 많은 제조자들은 공정에서 SOI 를 이용한다. 아날로그 신호를 처리하는 회로는 일반적으로 아날로그 소자의 형성을 위해 두꺼운 실리콘층을 필요로한다. 대조적으로, 디지털 회로는 VLSI 회로 구성 부분을 조립하기 위해 상대적으로 얇은 실리콘층을 단지 필요로한다. 최근에, 혼합된 신호 회로는 단일 두께 웨이퍼를 사용하여 제작되었다. 결과는 얇은 실리콘층을 사용하여 선택적으로 형성된 소자는 다른 소자에 의해 필요하게 되는 더욱 두꺼운 층에서 형성되어야 한다는 것이다. 최종 회로는 누화효과 때문에 제한적으로 수행한다.

게다가, SOI 는 보이기 되는 스케일링 패스의 단과 같은 실리콘의 성능을 향상시키는 수단의 하나로써 제안되어져 왔다. 우선, 게이트 산화물 두께는 성능을 향상시키는데 제한적인 요소이다. 누화 효과가 절연체에 의해 매우 감소되기 때문에, SOI 는 향상된 성능을 허용한다. SOI 가 단지 성능을 증가시킨다는 사실은, SOI 를 주류의 공정 기술로 만들 수 있다는 것이다. 그러나, SOI 를 수단으로 하기에는 곤란한 어떤 회로가 있고, 부가적으로 SOI 의 특성을 완전히 이용할 수 없는 회로가 있다. 가장 분명한 한계중의 하나는, 최근에 공지된 모든 SOI 기술이 회로 소자의 형성을 위해 실리콘 표면의 단일 두께를 단지 형성할 수 있다는, 것이다.

따라서, 그것은 다른 별개의 두께를 갖는 분명한 표면 영역으로써의 SOI 웨이퍼를 제조할 수 있기에 바람직하다. 필요한 것은 그러한 웨이퍼를 생산하기 위한 공정이다. 본 발명의 목적은 아날로그 및 디지털 소자의 형성을 지지하는 다중 두께 SOI 웨이퍼에 관한 것이다. 본 발명의 다른 목적은 다중 두께 SOI 웨이퍼를 생산하기 위한 연속적인 공정에 관한 것이다. 본 발명의 또 다른 목적은 (1) 박막 트랜지스터 및 종래의 CMOS 와, (2) 박막 트랜지스터 및 이미지 센서와, 또한 (3) CMOS 및 상극 트랜지스터를 형성하는데 사용할 수 있는 단일 웨이퍼를 제공하는 것이다.

본명이 이루고자 하는 기술적 과제

상술한 것과 다른 발명의 목적, 다중 두께 SOI 웨이퍼와 그러한 웨이퍼를 제조하는 본 발명에 의해 성취될 수 있다. 본 발명에 따르면, 리세스된 산화물층은 초기 질화를 마스크와, 실리콘 에치, 또한 인접한 실리콘 표면과 거의 동일 수준에서 두꺼운 필드 산화물의 표면을 남겨두는 완전한 산화를 포함하는 종래의 완전히 리세스된 산화물 공정을 사용하는 실리콘 웨이퍼 영역내에 형성된다. 질화를 마스크가 제거된 후, 웨이퍼는 부드럽게 연마되고, 핸들 웨이퍼에 결합된다. 웨이퍼의 다른 면으로부터, 실리콘 층은 영역내의 박막 소자와 영역 외에서 더 두꺼운 실리콘층을 필요로하는 소자용으로 적합한 두께로 백연마된다. 결과적으로 웨이퍼는 두께가 다른 두 개의 실리콘 표면들을 가진다. 공정을 반복함으로써 어떠한 소정의 두께가 형성될 수 있다.

본 발명의 일 실시예에 의한 다중 두께 SOI 웨이퍼는 아날로그 및 디지털 소자의 형성을 지지할 수 있는 영역을 포함한다. 본 발명의 다른 실시예에 따른 다중 두께 SOI 웨이퍼는 박막 SOI 소자와 같은 웨이퍼상에 종래의 CMOS 소자를 포함한다. 본 발명의 또 다른 실시예에 따른 다중 두께 SOI 소자는 VLSI CMOS 소자와 같은 웨이퍼상에 이미지 센서 소자를 포함한다. 마지막으로, 본 발명의 또 다른 실시예에 따른 다중 두께 SOI 소자는 CMOS 소자와 같은 웨이퍼상에 상극 소자를 포함한다. 본 발명의 이러한 특징과 다른 특징이 후술하는 발명의 상세한 설명과 수반한 도면을 고려하여 이해될 것이다.

본명의 구성 및 작용

SOI 의 다중 두께 웨이퍼는 도 1 의 연속 공정에 도시된 바와 같이 쉽게 이루어질 수 있다. 첫 번째 세 단계는 종래의 완전하게 리세스된 산화물 공정에 대응한다. S1 단계에서, 질화를 마스크는 웨이퍼에 도포된다. 도 2 에 결과적인 웨이퍼가 묘사되었다. S2 단계는 실리콘 에치를 포함하고 결과적인 웨이퍼가 도 3 에 도시되었다. S3 단계에서 웨이퍼는 도 4 에 도시된 바와 같이 인접한 실리콘 표면과 동일 수준에서 두꺼운 필드 산화물의 표면을 남겨둔채 산화된다.

질화를 마스크가 S4 단계에서 벗겨진 후, 표면을 연마하는 S5 단계에서 화학적 기계적 평탄화 (CMP) 를 시키고 도 5 에 도시된 바와 같이 웨이퍼를 남긴다. 그 후 S6 단계에서 웨이퍼가 삽입되고, S7 단계에서 핸들 웨이퍼에 결합된다. 결과적인 웨이퍼가 도 6 에 묘사되었다. 산화물/실리콘 대 산화물의 결합이 도시되었지만, 산화물 대 산화물, 또는 산화물 대 실리콘 결합이 또한 배열될 수 있다. 마지막으로, S8 단계에서, 활성 실리콘층이 플라즈마가 지원된 화학적 에치 (PACE) 와 같은 기술을 사용하여 백연마된다. PACE 를 사용하여, 박막 소자용에 적합한 실리콘층의 두께 제어가 이루어질 수 있다.

다양한 소자의 형성을으로 준비되는, 최종적인 결과 웨이퍼는 도 7 에 묘사되었다. 아날로그 및 디지털 소자의 형성을 지지할 수 있는 두 개의 다른 실리콘 표면층 두께 영역을 갖는, 하나의 웨이퍼가 도시되었다. 특히, 상대적으로 큰 부피의 실리콘층을 사용하여 최선의 조건이 충족되는, 아날로그 소자는 두꺼운 영역에서 형성될 수 있고 상대적으로 작은 부피의 실리콘을 사용하여 최선의 조건이 충족되는 디지털 소자는 얇은 영역에서 형성될 수 있다.

도 8, 도 9 및 도 10 은 혼합된 두께 SOI 용 세 개의 분리된 장치를 도시한 것이다. 도 8 에 도시된 제 1 장치는 박막 트랜지스터 및 동일 웨이퍼상에 종래의 CMOS 를 생산하도록 이중 두께 SOI 의 사용을 포함한다. 이것은 매우 낮은 집합 캐패시턴스를 갖는 트랜지스터를 허용하고 종래의

변경되지 않은 CMOS 셀과 함께 공정될 수 있는 높은 f_T 를 허용한다. 보기의 장치는 후단 기저대 마이크로제어기 기능을 갖는 전단 라디오 주파수 (RF) CMOS 회로의 집적화를 포함한다.

도 9는 이미지 센서용으로 필요한 특약 실리콘으로 집적된 박막 SOI 트랜지스터를 도시한 것이다. 매우 얇은 SOI 막은 정공쌍을 발생하는데, 필요한 실리콘 부피의 부족 때문에 낮은 양자 효율을 가진다. 실제적 장치가 예로될 수 있고, 배터리는 이미지 지지 회로에서 SOI의 낮은 전력을 이용할 수 있는 이미지 감시 센서를 가동시킨다.

도 10은 양 형태의 트랜지스터가 SOI 접근을 최대한도로 이용하도록 이중 두께 막인 SOI가 어떻게 CMOS 및 쌍극 소자를 집적하는 세련된 방법을 제공하는 것인지를 도시한 것이다. 도 10에 도시된 바와 같이, NPN 및 PNP 컬렉터는 최적의 성능용 기판에 커패시터를 감소하기 위해 산화를 통하여서 고립되었다. 동시에, CMOS 트랜지스터는 가능한 가장 낮은 소오스/드레인 접합 커패시턴스로써 형성된다.

본 발명의 구조 및 작동 방법에서 다양한 다른 변형과 변경이 본 발명의 범위와 정신을 벗어남이 없이 기술 분야에서 숙련자들에게 분명하게 될 것이다. 특히, 발명은 단일 웨이퍼상에 어떤 다른 두께의 실리콘 영역을 생산하기 위해 사용할 수 있다. 따라서, 다른 유사한 재료가 상술한 재료를 교체하여 사용될 수 있다.

비록 발명이 특정한 조정의 실시예와 결합하여 기술되었지만, 청구항으로된 발명은 특정 실시예에 부당하게 제한되지 않는다는 것을 이해하여야 한다. 후술하는 청구항은 본 발명을 한정하며 이러한 청구항의 범위내의 구조 및 방법과 그들과 대등한 것이 청구항에 의해 포함된다.

발명의 요약

본 발명은 집적화로 웨이퍼 제조에 관한 것이며, 특히 절연 기판상의 실리콘 기술을 포함하는 웨이퍼에 관한 것이다. 게다가, 본 발명은 다른 두께의 영역을 포함하는 웨이퍼의 제조에 관한 것이다.

아날로그 신호를 처리하는 회로는 일반적으로 두꺼운 실리콘층을 필요로 하고, 반면에 디지털 회로는 VLSI 회로 구성 부분을 제작하기 위해 상대적으로 얇은 실리콘층을 필요로 하는데, 혼합된 신호 회로는 단일 두께 웨이퍼를 사용하여 제작되어진다. 또한 본 발명은 누화효과가 절연체에 의해 매우 감소하기 때문에 향상된 성능을 얻는다.

(57) 청구의 범위

청구항 1

제 1 두께를 갖는 실리콘의 제 1 영역과,

절연체 및 제 2 두께를 갖는 실리콘의 제 2 영역을 포함하는 절연 기판상의 다중 두께 실리콘 반도체 다이에 있어서,

상기 제 1 및 제 2 두께는 상이하고 상기 제 1 및 제 2 영역이 동일 평면상인 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 2

제 1 항에 있어서, 상기 제 1 두께는 아날로그 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 3

제 2 항에 있어서, 상기 제 2 두께는 디지털 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 4

제 1 항에 있어서, 상기 제 1 두께는 깊은 실리콘층을 필요로 하는 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 5

제 1 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 박막 절연 기판상의 실리콘 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 6

제 5 항에 있어서, 상기 CMOS 소자는 박막 절연 기판상의 반도체와 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 7

제 1 항에 있어서, 상기 제 1 영역은 이미지 센서를 포함하고 상기 제 2 영역은 VLSI CMOS 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 8

제 7 항에 있어서, 상기 이미지 센서 소자는 VLSI CMOS 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 9

제 1 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 쌍극 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 10

제 9 항에 있어서, 상기 CMOS 소자는 상기 쌍극 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 11

제 1 두께를 갖는 실리콘층과,

제 2 두께를 갖는 절연체층을 포함하는 제 1 영역과, 또한

제 3 두께를 갖는 실리콘층과,

제 4 두께를 갖는 절연체층을 포함하는 제 2 영역을 구비하는 절연 기판상의 다중 두께 실리콘 반도체 다이에 있어서,

상기 제 1 및 제 2 영역은 동일 평면상이고, 상기 제 1 두께는 제 3 두께와 상이하며, 또한 상기 제 1 및 제 2 두께 모두는 제 3 및 제 4 두께 모두와 거의 일치하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 12

제 11 항에 있어서, 상기 제 1 두께는 마날로그 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 13

제 12 항에 있어서, 상기 제 3 두께는 디지털 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 14

제 11 항에 있어서, 상기 제 1 두께는 얇은 실리콘층을 필요로 하는 소자의 형성을 위해 적합하게 되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 15

제 11 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 박막 절연 기판상의 반도체 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 16

제 15 항에 있어서, 상기 CMOS 소자는 상기 박막 절연 기판상의 반도체 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 17

제 11 항에 있어서, 상기 제 1 영역은 이미지 센서 소자를 포함하고 상기 제 2 영역은 VLSI CMOS 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 18

제 17 항에 있어서, 상기 이미지 센서 소자는 상기 VLSI CMOS 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 19

제 11 항에 있어서, 상기 제 1 영역은 CMOS 소자를 포함하고 상기 제 2 영역은 쌍극 소자를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 20

제 19 항에 있어서, 상기 CMOS 소자는 상기 쌍극 소자에 효과적으로 결합되는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이.

청구항 21

(a) 실리콘 기판의 표면부를 절연체로 교체하는 단계와,

(b) 실리콘 기판의 표면과 교체 절연체를 평탄하게 하는 단계와, 또한

(c) 실리콘 기판의 표면과 교체 절연체를 행을 기판에 부착하는 단계를 포함하는 표면으로써 실리콘 기판을 갖는 절연 기판상의 다중 두께 실리콘 반도체 다이를 생산하기 위한 방법.

청구항 22

(a) 실리콘 기판의 제 1 표면의 제 1 영역으로부터 실리콘을 제거하는 단계와,

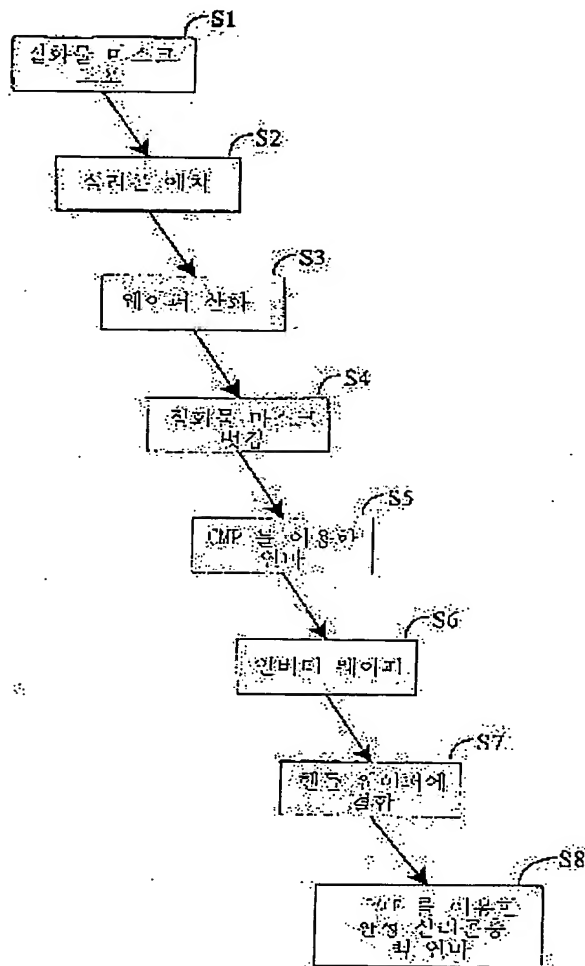
- (b) 절연체의 두께가 상기 제 1 영역내에서 발전되도록 상기 제 1 영역을 절연하는 단계와,
- (c) 상기 제 1 영역의 외면 상기 실리콘 기판의 제 1 표면이 절연된 제 1 영역과 동일평면상에 되도록 실리콘 기판의 상기 제 1 표면을 평탄하게 하는 단계와,
- (d) 핸들 기판에 상기 제 1 표면을 부착하는 단계와, 또한
- (e) 실리콘 기판의 제 2 표면을 평탄하게하는 단계에 있어서, 상기 제 1 및 제 2 표면이 상호 평행하게 배치되는 것을 특징으로 하는 제 1 및 제 2 표면으로써 실리콘 기판을 갖는 절연 기판상의 다중 두께 실리콘 반도체 다이를 생산하기 위한 방법.

청구항 23-

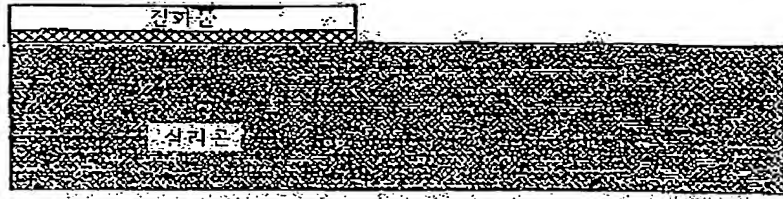
제 22 항에 있어서, 단계 (a) 는 상기 제 1 영역의 외면 실리콘 기판의 상기 제 1 표면에 마스크제를 도포하는 것과 상기 제 1 영역으로부터 실리콘을 에칭하는 것을 포함하며, 단계 (c) 는 상기 제 1 영역의 외면 실리콘 기판의 상기 제 1 표면으로부터 마스크제를 제거하는 단계를 포함하는 것을 특징으로 하는 절연 기판상의 다중 두께 실리콘 반도체 다이를 생산하기 위한 방법.

도면

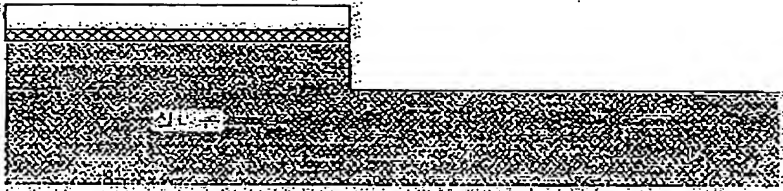
도면 1



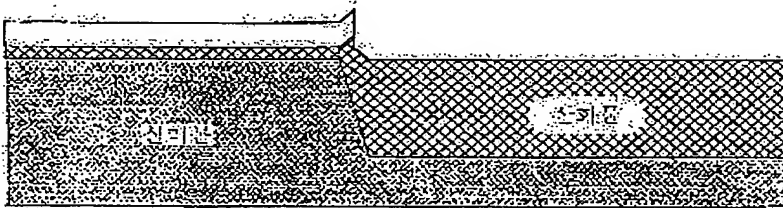
도면2



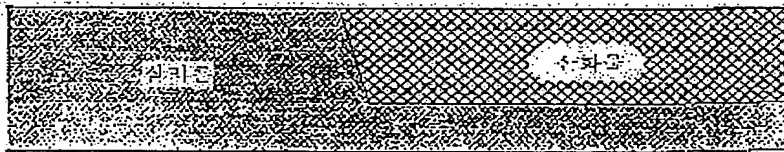
도면3



도면4



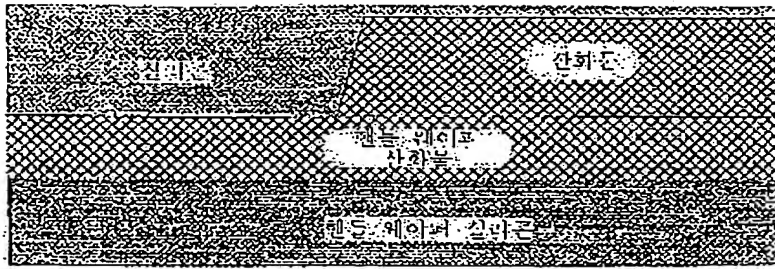
도면5



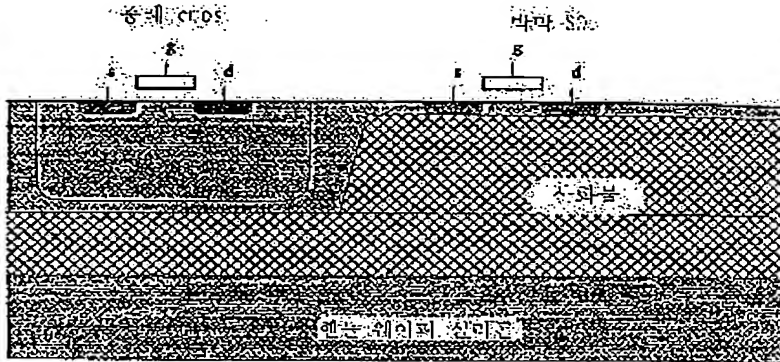
도면6



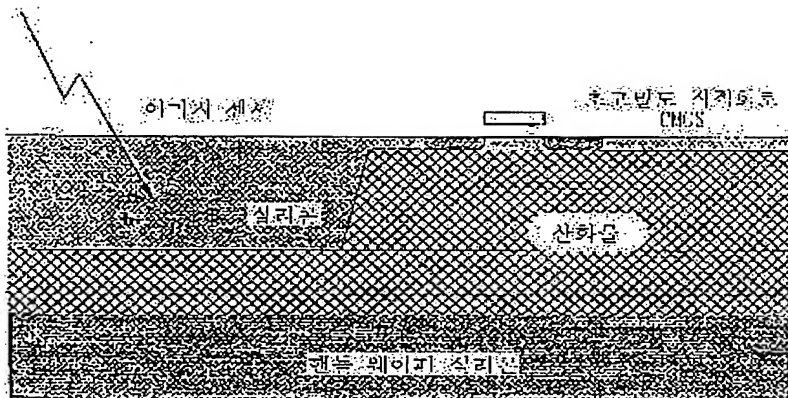
도면7



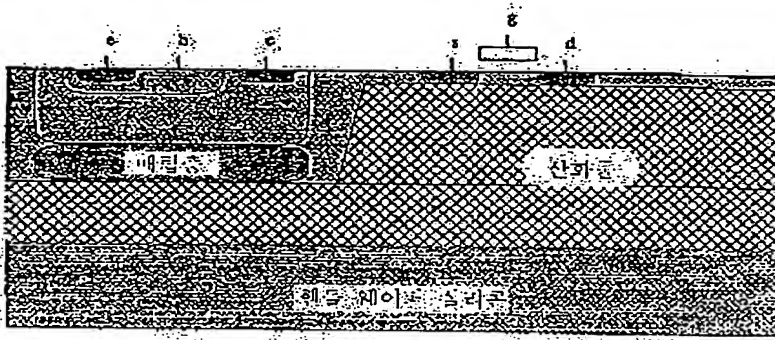
도면8



도면9



도면 10



(19) 大韓民国特許庁(KR)

(12) 公開特許公報(A)

(11) 公開番号 特1998-069868

(43) 公開日 1998年10月26日

(21) 出願番号 特1997-036206

(22) 出願日 1997年07月30日

(30) 優先権主張 8/782,192 1997年01月10日 米国 (US)

(71) 出願人 NATIONAL SEMICONDUCTOR CORPORATION

審査請求：あり

(54) 混合された信号集積回路装置を高度に集積する絶縁体上の多重厚みシリコンウェーハ

要約

絶縁基板上の多重厚みシリコン (SOI) ウェーハは、異なる別個の厚みをそれぞれ有する別個の領域を有するシリコンウェーハを含む。多様な領域の厚みは、混合された信号進行装置に有用な異なる半導体素子の形成を支持するのに適する。例えば、単一ウェーハはアナログ及びデジタル半導体素子の形成のために使用できる。多重厚みSOIを製造する工程は、初期窒化物マスク、シリコンエッチ、また、隣接したシリコンの表面と略同一水準で厚みフィールド酸化物の表面を残しておく最後の酸化段階を含み、従来の完全にリセスされた酸化物工程を用いるシリコンウェーハの領域内酸化物のリセスされた層を形成する段階を含む。活性ウェーハの別の面から、シリコン層はリセスされた酸化物を収容する領域内の薄膜素子の形成と領域外面の更に厚いシリコン層として最善の条件が満たされる素子の形成用として適した厚みに研磨される。結果的なウェーハは、異なる厚みの二つのシリコン層を有する。このような工程は、所定の多くの厚みを有するウェーハを形成するよう繰り返すことができる。

(57) 請求の範囲

請求項 1

第1の厚みを有するシリコンの第1の領域と、
絶縁体及び第2の厚みを有するシリコンの第2の領域とを含む絶縁基板上の多重厚みシリコン半導体ダイにおいて、
前記第1及び第2の厚みは相違し、前記第1及び第2の領域が同一表面上であ

ることを特徴とする絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 2

前記第 1 の厚みは、アナログ素子の形成のために適するようにされることを特徴とする請求項 1 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 3

前記第 2 の厚みは、デジタル素子の形成のために適するようにされることを特徴とする請求項 2 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 4

前記第 1 の厚みは、深いシリコン層を必要とする素子の形成のために適するようにされることを特徴とする請求項 1 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 5

前記第 1 の領域はCMOS素子を含み、前記第 2 の領域は薄膜絶縁基板上的のシリコン素子を含むことを特徴とする請求項 1 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 6

前記CMOS素子は、薄膜絶縁基板上的の半導体と効果的に結合されることを特徴とする請求項 5 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 7

前記第 1 の領域はイメージセンサを含み、前記第 2 の領域はVLSI CMOS素子を含むことを特徴とする請求項 1 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 8

前記イメージセンサ素子は、VLSI CMOS素子に効果的に結合されることを特徴とする請求項 7 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項 9

前記第 1 の領域はCMOS素子を含み、前記第 2 の領域は両極素子を含むことを特徴とする請求項 1 に記載の絶縁基板上的の多重厚みシリコン半導体ダイ。

請求項10

前記CMOS素子は、前記両極素子に効果的に結合されることを特徴とする請求項9に記載の絶縁基板上的多重厚みシリコン半導体ダイ。

請求項11

第1の厚みを有するシリコン層と、
第2の厚みを有する絶縁体層を含む第1の領域と、また
第3の厚みを有するシリコン層と、
第4の厚みを有する絶縁体層を含む第2の領域とを備える絶縁基板上的多重厚みシリコン半導体ダイにおいて、
前記第1及び第2の領域は同一平面上であり、前記第1の厚みは第3の厚みと相違し、また前記第1及び第2の厚み全ては第3及び第4の厚み全てとほぼ一致することを特徴とする絶縁基板上的多重厚みシリコン半導体ダイ。

請求項12

前記第1の厚みはアナログ素子の形成のために適するようにされることを特徴とする請求項11に記載の絶縁基板上的多重厚みシリコン半導体ダイ。

請求項13

前記第3の厚みは、デジタル素子の形成のために適するようにされることを特徴とする請求項12に記載の絶縁基板上的多重厚みシリコン半導体ダイ。

請求項14

前記第1の厚みは、深いシリコン層を必要とする素子の形成のために適するようにされることを特徴とする請求項11に記載の絶縁基板上的多重厚みシリコン半導体ダイ。

請求項15

前記第1の領域はCMOS素子を含み、前記第2の領域は薄膜絶縁基板上的半導体素子を含むことを特徴とする請求項11に記載の絶縁基板上的多重厚みシリコン半導体ダイ。

請求項16

前記CMOS素子は、前記薄膜絶縁基板上的半導体素子に効果的に結合されることを特徴とする請求項15に記載の絶縁基板上的多重厚みシリコン半導体ダイ。

請求項17

前記第1の領域はイメージセンサ素子を含み、前記第2の領域はVLSI CMOS素子を含むことを特徴とする請求項11に記載の絶縁基板上の多重厚みシリコン半導体ダイ。

請求項18

前記イメージセンサ素子は、前記VLSI CMOS素子に効果的に結合されることを特徴とする請求項17に記載の絶縁基板上の多重厚みシリコン半導体ダイ。

請求項19

前記第1領域はCMOS素子を含み、前記第2領域は両極素子を含むことを特徴とする請求項11に記載の絶縁基板上の多重厚みシリコン半導体ダイ。

請求項20

前記CMOS素子は、前記両極素子に効果的に結合されることを特徴とする請求項19に記載の絶縁基板上の多重厚みシリコン半導体ダイ。

請求項21

(a) シリコン基板の表面部を絶縁体に交代する段階と、
(b) シリコン基板の表面と交代の絶縁体を平坦にする段階と、また
(c) シリコン基板の表面と交代の絶縁体をハンドル基板に付着する段階を含む表面としてシリコン基板を有する絶縁基板上の多重厚みシリコン半導体ダイを生産するための方法。

請求項22

(a) シリコン基板の第1の表面の第1の領域からシリコンを除去する段階と、
(b) 絶縁体の厚みが前記第1の領域内で発電されるよう前記第1の領域を絶縁する段階と、
(c) 前記第1の領域の外面の前記シリコン基板の第1の表面が絶縁された第1の領域と同一平面上となるようシリコン基板の前記第1の表面を平坦にする段階と、
(d) ハンドル基板に前記第1の表面を付着する段階と、また
(e) シリコン基板の第2の表面を平坦にする段階において、前記第1及び第2の表面が相互並行に配置されることを特徴とする第1及び第2の表面としてシリコン基板を有する絶縁基板上の多重厚みシリコン半導体ダイを生産するた

めの方法。

請求項23

段階（a）は、前記第1の領域の外面のシリコン基板の前記第1の表面にマスク剤を塗布することと、前記第1の領域からシリコンをエッチングすることを含み、段階（c）は、前記第1の領域の外面のシリコン基板の前記第1の表面からマスク剤を除去する段階を含むことを特徴とする請求項22に記載の絶縁基板上の多重厚みシリコン半導体ダイを生産するための方法。